

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-148200

(P2001-148200A)

(43)公開日 平成13年5月29日 (2001.5.29)

(51)Int.Cl.⁷
G 1 1 C 29/00
G 0 1 R 31/28
G 1 1 C 11/22
14/00

識別記号
6 7 1

F I
G 1 1 C 29/00
11/22
G 0 1 R 31/28
G 1 1 C 11/34

6 7 1 Z 2 G 0 3 2
5 B 0 2 4
B 5 L 1 0 6
3 5 2 A 9 A 0 0 1

テ-マコト⁸(参考)

審査請求 (卡請求 請求項の数 2 O.L (全 7 頁)

(21)出願番号 特願平11-331244
(22)出願日 平成11年11月22日 (1999.11.22)

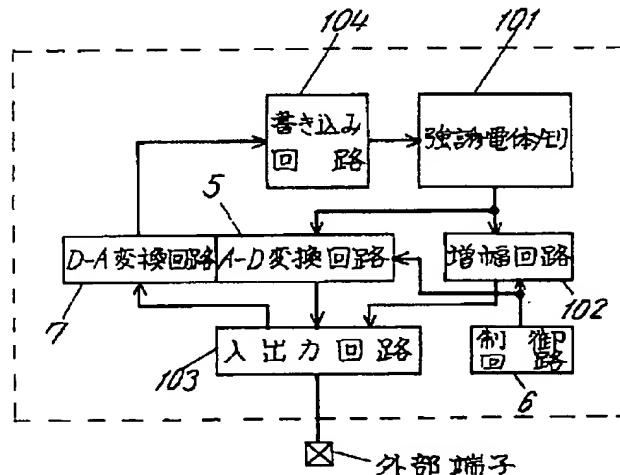
(71)出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72)発明者 茅谷 茂雄
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100097445
弁理士 岩橋 文雄 (外2名)
F ターム(参考) 2G032 AA08 AA09 AH01
5B024 AA15 BA02 BA29 CA07 EA01
5L106 AA01 AA03 DD12 DD36 FF01
GG05 GG07
9A001 BB03 DD15 EE05 HH34 JJ49
KK54 LL05

(54)【発明の名称】 半導体不揮発性記憶装置およびその試験方法

(57)【要約】

【課題】 強誘電体不揮発性メモリのデータ保持特性の試験を、高精度かつ少ないサンプル数で効率的に行える半導体不揮発性記憶装置およびその試験方法とを提供する。

【解決手段】 強誘電体キャパシタの一方の電極に接続されたセルプレート線と、MOS型トランジスタを介して強誘電体キャパシタの他方の電極に接続され、メモリセルからのデータを出力するデータ線と、先のデータ線に接続され、出力されたデータをデジタル信号に変換するA-D変換回路5と、このA-D変換回路5から出力されたデジタル信号を外部端子へ出力し、または外部端子からデジタル信号を入力する入出力回路103と、さらに入力されたデジタル信号をデータ線およびセルプレート線の電位に変換するためのD-A変換回路7とを備えている。



【特許請求の範囲】

【請求項1】 強誘電体キャパシタを有する複数のメモリセルからなる半導体不揮発性記憶装置において、前記強誘電体キャパシタの一方の電極に接続されたセルプレート線と、MOS型トランジスタを介して前記強誘電体キャパシタの他方の電極に接続され、前記メモリセルからのデータを出力するデータ線と、前記データ線に接続され、前記出力されたデータをデジタル信号に変換するAD変換回路と、前記AD変換回路から出力されたデジタル信号を外部端子へ出力し、または外部端子からデジタル信号を入力する入出力回路と、前記入力されたデジタル信号をデータ線およびセルプレート線の電位に変換するためのDA変換回路とを備えたことを特徴とする半導体不揮発性記憶装置。

【請求項2】 強誘電体キャパシタを有する複数のメモリセルからなる半導体不揮発性記憶装置のデータ保持特性を試験する方法であって、前記半導体不揮発性記憶装置のメモリセルを第1の所定期間放置した後に、前記メモリセルに保持されているデータ量の読み出しを行った後、前記データ量に相当する電位をデータ線またはセルプレート線を通して前記メモリセルに印加して第2の所定期間放置した後に、前記メモリセルから再び保持されているデータ量を読み出してデータ保持の寿命試験を行うことを特徴とする半導体不揮発性記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体不揮発性記憶装置およびその試験方法に関し、特に強誘電体メモリのデータ保持特性の試験方法およびその試験方法を実現できる半導体不揮発性記憶装置に関するものである。

【0002】

【従来の技術】 近年、携帯用機器の普及や省エネルギー、廃棄物削減要望に伴い、電源を切ってもデータの保持ができる不揮発性メモリの需要が高まっている。その中でも特に、従来からの不揮発性メモリの代表であるEEPROMやフラッシュメモリに比べ低電力で高速に書き込みができ、かつ高書き換え回数の強誘電体メモリが注目を集めている。

【0003】 それではまず、半導体不揮発性記憶装置の一種である強誘電体メモリの動作について簡単に説明する。

【0004】 図6は、従来の強誘電体メモリの主要部のブロック図である。101は強誘電体メモリ、102はメモリセルのデータを增幅するための增幅回路、103はデータの入出力を行う入出力回路、104は入出力回路を経たデータをメモリセルに書き込むための書き込み回路である。

【0005】 図7は、強誘電体メモリの1個のメモリセルと1個のセンスアンプを表わしている。通常、センス

アンプは複数個のメモリセルに対して1個ずつ配置されるが、この例では説明を簡素化するため、1個のメモリセルと1個のセンスアンプを用いている。

【0006】 図7において、PLはセルプレート線、BLと/BLは一対のデータ線、WLはワード線、SAはセンスアンプである。C1とC2は強誘電体キャパシタ、M1とM2はMISトランジスタでMISトランジスタM1のソース電極は強誘電体キャパシタC1の一端子に、ドレイン電極はデータ線BLに、ゲート電極はワード線WLにそれぞれ接続され、強誘電体キャパシタC1の他端子はセルプレート線PLに接続されている。MISトランジスタM2のソース電極は強誘電体キャパシタC2の一端子に、ドレイン電極は他方のデータ線/BLに、ゲート電極はワード線WLにそれぞれ接続され、強誘電体キャパシタC2の他端子はセルプレート線PLに接続されている。また、データ線BLと/BLはセンスアンプSAにも接続されている。

【0007】 このタイプのメモリセルは、メモリセル1個につき2個のトランジスタと2個の強誘電体キャパシタで構成されているため2T2C型メモリセルと呼ばれている。強誘電体メモリのメモリセルにはこの2T2C型の他に1個のトランジスタと1個の強誘電体キャパシタで構成される1T1C型メモリセルと呼ばれるものもある。1T1C型メモリセルは読み出しには同じ構成のダミーセルを用いて動作を行うが、その動作原理はどちらのタイプも同じであるのでここでは2T2C型のメモリセルで説明する。

【0008】 図8は、強誘電体のヒステリシスカーブで、印加電圧または電界と分極または電荷の関係を表わした図である。図9は、データの書き込みと読み出し時のメモリセルへの印加波形である。さて、強誘電体メモリにデータを書き込む場合の動作を図7から図9を用いて説明する。

【0009】 ここではデータ"0"の書き込みを行う場合を説明する。まず、データ線BLを"0"レベル、/BLを"1"レベルとしワード線WLおよびセルプレート線PLを"1"レベルとする。するとMISトランジスタM1とM2はオン状態となり、セルプレート線の電位を基準とした場合に、強誘電体キャパシタC1の状態は両端子間の電界によって図8中のヒステリシスカーブのC点となる。一方強誘電体キャパシタC2は両端子間の電界がほぼゼロの状態であるため、前回の分極状態であるB点またはD点にある。

【0010】 次に、セルプレート線PLを"0"レベルにすると、強誘電体キャパシタC1の状態は電界がゼロになるためヒステリシスループ上をC点からD'点に推移する。一方強誘電体キャパシタC2は両端子間に電界がかかりヒステリシスカーブ上をB点またはD点からA点に推移する。

【0011】 次に、データ線BLと/BLの双方を"

L" レベルにすると、強誘電体キャパシタC1の状態は変化なくヒステリシスループのD'点にあり、一方強誘電体キャパシタC2は両端子間の電界がゼロになるためヒステリシスカーブ上をA点からB'点に推移する。以上の経緯で強誘電体キャパシタC1は" L" 状態に、同C2は" H" 状態となってデータ" 0" の書き込みが終了する。データ" 1" の書き込みはデータ線対BLと/BLの電位を逆にするだけでよいためここでの説明は省略する。

【0012】次に、データ" 0" の読み出しを行う場合を説明する。データを保持している強誘電体キャパシタの分極状態は書き込みの動作で説明した通りであり、データ線対BLと/BLは双方とも" L" レベルにプリチャージされたフローティング状態である。まず、ワード線WLおよびセルプレート線PLを" H" レベルとする。するとMISトランジスタM1とM2はオン状態となり、書き込み動作の場合と同じくセルプレート線の電位を基準とした場合に、強誘電体キャパシタC1の状態は両端子間の電界によって図8中のヒステリシスカーブ上をD点からC点の方向に推移する。このとき、D点とC点の分極量の差だけの電荷 ΔQ_2 が強誘電体キャパシタから流れる。この電荷をデータ線BLと分配するため、データ線BLにはH点から引いた負荷線L2とヒステリシスとの交点G点に相当する電位VL1が現われる。ここで負荷線L2の傾きはデータ線BLの容量値によって決まる。

【0013】一方、強誘電体キャパシタC2の状態は両端子間の電界によって図8中のヒステリシス上をB点からC点の方向に推移する。このとき、B点とC点の分極量の差だけの電荷 ΔQ_1 が強誘電体キャパシタから流れる。この電荷をデータ線/BLと分配するため、データ線/BLにはF点から引いた負荷線L1とヒステリシスとの交点E点に相当する電位VH1が現われる。ここで負荷線L1の傾きはデータ線/BLの容量値によって決まる。

【0014】さらにセンスアンプ活性化信号SAEを" H" レベルとし、センスアンプSAを動作状態としてデータ線対の電位差 ΔV_1 を増幅することによって強誘電体メモリに格納されたデータの読み出しが完了する。

【0015】ところが、強誘電体メモリは読み出したデータの再格納をする必要がある。これには前記の書き込み動作と同じ動作を行えばよい。すなわちセンスアンプSAでデータ線対の電位差を十分増幅すると、強誘電体キャパシタC1はC点にあり、強誘電体キャパシタC2はK点にある。ここでセルプレート線PLを" L" レベルにすると、強誘電体キャパシタC1の状態は電界がゼロになるためヒステリシスカーブ上をC点からD'点に推移する。一方強誘電体キャパシタC2は両端子間に電界がかかりヒステリシスカーブ上をK点からA点に推移する。

【0016】次に、センスアンプ活性化信号SAEを" L" レベルとしてセンスアンプの動作を停止し、データ線対BLと/BLの双方を" L" レベルにすると、強誘電体キャパシタC1の状態は変化なくヒステリシスカーブのD'点にあるが、一方強誘電体キャパシタC2は両端子間の電界がゼロになるためヒステリシスカーブ上をA点からB'点に推移する。以上の経緯で強誘電体キャパシタC1は" L" 状態に、同C2は" H" 状態となってデータ" 0" の再格納が終了する。データ" 1" の読み出しと再格納はデータ線対BLと/BLの電位を逆にするだけでよいためここでの説明は省略する。

【0017】さて、従来からの不揮発性メモリに比べ低電力で高速に書き込みができ、かつ高書き換え回数という優れた特徴を持つ強誘電体メモリであるが、その読み出し方式ゆえに一端読み出しを行うとメモリセルのデータは変化してしまう。このため通常の読み出し動作の後には必ず再書き込み動作を行っている。

【0018】このためデータ保持の試験でも一旦データの読み出しを行うと再書き込みが行われデータの保持量はリセットされてしまって追加のデータ保持試験は行えない。

【0019】図10はデータの保持不良となる場合の保持データ量とヒステリシスカーブの変化を示したものである。前記の強誘電体キャパシタが" H" 状態すなわちB点の状態に書き込まれ、加熱保存されると保持能力のないメモリセルでは保持データ量がB2点まで減少する。このとき読み出す場合のヒステリシスカーブはHC1の形状となる。

【0020】ここで、データ保持量が減少した状態で記憶したデータ" 1" の読み出しを行ったとすると、図8での説明と同じようにデータ線の負荷線L3とヒステリシスカーブとの交点E2が求まる。このE2点がデータ線BLに発生する電位VH2となる。一方、データ線/BLはG点に相当する電位VL1のままであるから、電位差 ΔV_2 は保持データ量が減少しない場合に比べ小さくなる。

【0021】今回は" H" 状態のデータのみが減少した場合を説明したが、" L" 状態のデータすなわちD点の状態に書き込まれたデータも減少した場合には電位差 ΔV_2 がさらに小さくなり、この電位差がセンスアンプの感度以下になった時にはデータが読み出せなくなることでデータ保持不良となる。

【0022】次に、従来の強誘電体キャパシタを有する半導体不揮発性記憶装置のデータ保持特性の試験方法を説明する。図11は、その試験フローを示している。

【0023】まず、半導体不揮発性記憶装置を複数個用意し、複数のグループに分ける。全チップに予め定められたパターンのデータを書き込む。この後、これらのチップを所定の温度で加熱放置し第1の時間後に第1のグループの各チップの記憶データを読み出す。次に同じ温

度で加熱放置し第2の時間後に第2のグループの各チップの記憶データを読み出す。さらに第nの時間後に第nのグループの各チップの記憶データを読み出し、各グループでの不良チップ数の変化から所定温度での寿命を推定する。

【0024】

【発明が解決しようとする課題】しかしながら、上記のような従来の半導体不揮発性記憶装置は次に示す課題がある。すなわちメモリセルの保持電荷量が極めて小さいため、保持データ量のアナログ的な変化をチップ外部で測定することができない。

【0025】また、強誘電体を用いた半導体不揮発性記憶装置では記憶データの読み出し後に再書き込みの動作が行われるため、記憶データが更新（リフレッシュ）されてしまう。いったん記憶データの更新をしてしまうとデータ保持試験を継続することは困難である。

【0026】さらに、従来の半導体不揮発性記憶装置の試験方法では次に示す課題がある。

【0027】半導体不揮発性記憶装置の再書き込み動作のため、継続したデータ保持試験が困難である。このため各読み出し時間ごとの多数のサンプルを用意しなければならず、通常の不揮発性記憶装置の試験方法に比べ、例えば4回の測定時間がある場合には4倍のサンプル数というように多数のサンプルが必要であった。

【0028】また、データ保持特性に問題があるサンプルがあったとしてもそのサンプルの寿命は測定できず、平均的なデバイスの寿命しか推定できない。

【0029】この発明は上記の問題に鑑みてなされたものである。本発明は、データ保持特性の試験を高精度でかつ効率的に行える半導体不揮発性記憶装置と、半導体不揮発性記憶装置の試験が少ないサンプル数で効率よく試験でき、また狙いのメモリセルの寿命が精度よく測定できる半導体不揮発性記憶装置の試験方法とを提供することを目的とする。

【0030】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体不揮発性記憶装置は、強誘電体キャパシタを有する複数のメモリセルからなる半導体不揮発性記憶装置において、メモリセルからのデータを出力するデータ線に、出力されたデータをデジタル信号に変換するAD変換回路を接続し、このAD変換回路から出力されたデジタル信号を外部端子へ出力し、他方、外部端子より入力されたデジタル信号をデータ線およびセルプレート線の電位に変換するためのDA変換回路とを備えた構成を有することを特徴としている。

【0031】また、本発明の半導体不揮発性記憶装置の試験方法は、データ保持特性を試験する方法であって、半導体不揮発性記憶装置のメモリセルを第1の所定期間放置した後に、メモリセルに保持されているデータ量の読み出しを行なった後、データ量に相当する電位をデー

タ線またはセルプレート線を通して先のメモリセルに印加して第2の所定期間放置した後に、このメモリセルから再び保持されているデータ量を読み出してデータ保持の寿命試験を行うことを特徴ととしている。

【0032】

【発明の実施の形態】本発明に記載の半導体不揮発性記憶装置は、強誘電体メモリのデータ保持特性が少ない試料数でかつ正確に測定できるというものである。また、本発明に記載の半導体不揮発性記憶装置の試験方法は、強誘電体メモリのデータ保持特性を少ない試料数でかつ正確に測定できるというものである。

【0033】以下、この発明の実施の形態について、図面を参照しながら説明する。

【0034】（実施の形態1）図1は、本発明の第1の実施の形態にかかる半導体不揮発性記憶装置の主要部のブロック図である。101は強誘電体メモリ、102はメモリセルのデータを増幅するための増幅回路、103はデータの入出力を行う入出力回路、104は入出力回路を経たデータをメモリセルに書き込むための書き込み回路、5はデータ線の電位としてあらわされたメモリセルのデータ量をアナログ量からデジタル量に変換するAD変換回路、6は増幅回路とAD変換回路の動作を制御する制御回路、7は入力されたデジタル量である信号をアナログ量に変換して書き込み回路に印加するDA変換回路である。

【0035】図2は、本発明における強誘電体メモリの1個のメモリセルと1個のセンスアンプおよび1個のAD変換回路を表わしている。通常、センスアンプは複数個のメモリセルに対して1個ずつ配置され、AD変換回路は複数のデータ線に対して1個配置されるが、この例では説明を簡素化するため、1個のメモリセルと1個のセンスアンプおよび1個のAD変換回路を用いている。

【0036】図2において、PLはセルプレート線、BLと／BLは一対のデータ線、WLはワード線、SAはセンスアンプである。C1とC2は強誘電体キャパシタ、M1とM2はMISトランジスタでMISトランジスタM1のソース電極は強誘電体キャパシタC1の一端子に、ドレイン電極はデータ線BLに、ゲート電極はワード線WLにそれぞれ接続され、強誘電体キャパシタC1の他端子はセルプレート線PLに接続されている。MISトランジスタM2のソース電極は強誘電体キャパシタC2の一端子に、ドレイン電極は他方のデータ線／BLに、ゲート電極はワード線WLにそれぞれ接続され、強誘電体キャパシタC2の他端子はセルプレート線PLに接続されている。また、データ線BLと／BLはセンスアンプSAにも接続されている。SAEはセンスアンプ活性化信号である。Q1とQ2はMISトランジスタでトランジスタQ1のドレイン電極はデータ線BLに、ソース電極はAD変換回路ADの入力端子に、ゲート電極はデータ線選択信号BC0にそれぞれ接続されてい

る。また、トランジスタQ2のドレイン電極はデータ線/BLに、ソース電極はAD変換回路ADの入力端子に、ゲート電極はデータ線選択信号BC1にそれぞれ接続されている。ADEはAD変換回路活性化信号である。

【0037】今回もメモリセル1個につき2個のトランジスタと2個の強誘電体キャパシタで構成されている2T2C型メモリセルを用いているが1個のトランジスタと1個の強誘電体キャパシタで構成される1T1C型メモリセルについても同じである。したがってここでも2T2C型のメモリセルで説明する。

【0038】強誘電体メモリの通常動作については従来例と同じであるのでここでは説明を省略し、この半導体不揮発性記憶装置の保持データ量測定時の動作について図3を用いて説明する。

【0039】この時、ワード線WLおよびセルプレート線PLの動作は通常読み出しの場合と同じである。ところで保持データ量であるB2点の分極電荷量によってデータ線の電位が飽和したときにセンスアンプ活性化信号の代わりにデータ線に接続されたAD変換回路の活性化信号によりAD変換回路を作動する。これによってアナログ量であるデータ線の電位VH2がデジタル量に変換され、入出力回路を経て外部端子に出力される。D点が保持電荷量の場合にはデータ線電位VL1がデジタル量に変換され外部端子に出力される。

【0040】次に、外部端子にメモリセルに再書き込みを行うデータ量に相当する信号を入力し、DA変換回路を動作させてデータ線またはセルプレート線に電圧VIを印加する。この後電圧を0Vに落とすことでヒステリシス曲線上のJ点からB3点に変化し、リラクゼーション現象によってB2点に変化する。こうして電荷量測定前の分極量を再現できる。

【0041】データ量の再書き込み後の検証は読み出しと書き込み動作を繰り返すことで行える。

【0042】この明細書では回路動作の説明をすべてNチャネルトランジスタを用いて行ったが、Pチャネルトランジスタを用いても実現できることは言うまでもない。

【0043】(実施の形態2) 図4は本発明の第2の実施の形態にかかる半導体不揮発性記憶装置のデータ保試験のフローチャートである。

【0044】まず、全試験サンプルのメモリセルに所定の試験パターンのデータを書き込む。次に所定温度下で第一の期間加熱保存する。加熱により経時変化を促進することができる。次に、メモリセルに保持されたデータ量の読み出しを行うがこのときにセンスアンプは起動させずにAD変換回路を動作させ、データ線の電位をデジタル量に変換した後、入出力回路を通して外部端子に出力する。

【0045】次に、外部端子にメモリセルに再書き込み

を行うデータ量に相当する信号を入力し、DA変換回路を動作させ書き込み回路をコントロールしてデータ線またはセルプレート線に所望の電圧を印加する。データ線およびセルプレート線の電位を変えたことで第一の保存期間後の保持データ量をメモリセルに再現できる。

【0046】再書き込み後のデータ量の検証は先のデータ量の読み出しを再度実施することで可能である。

【0047】同様の方法で第二の期間加熱保存した後、第三の期間加熱保存した後の保持データ量の変化が測定10でき、メモリセル毎のデータ保持能力が測定できることになる。

【0048】図5は加熱保存した時間によるデータ量の減少を表すグラフである。このグラフから任意のメモリセルについての保存温度条件におけるデータ保持の寿命Tdを推定することができるし、また複数の温度条件における測定から容易に活性化エネルギーが算出できる。

【0049】

【発明の効果】本発明に記載の半導体記憶装置は、半導体不揮発性記憶装置のデータ保持能力を容易にかつ精度20よく測定できるためデータ保持における品質の向上に効果がある。また、データ保持の評価に必要とするサンプル数を大幅に削減できるため開発コストの削減に効果がある。

【0050】また、本発明に記載の半導体記憶装置の試験方法は、同一サンプルでの保持データ量の経時変化を測定できるため、問題を有するメモリセルのデータ保持特性を測定でき半導体不揮発性記憶装置の品質の向上に効果がある。

【0051】また、データ保持に関する試験の高精度化30は、強誘電体メモリの信頼性をさらに向上させ、各種用途への使用が増加するなど産業上、その効果はきわめて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体不揮発性記憶装置の概略構成図

【図2】本発明の第1の実施の形態にかかる2T2C型強誘電体メモリの等価回路図

【図3】本発明の第1の実施の形態にかかる強誘電体メモリの動作を表わす強誘電体キャパシタのヒステリシスカーブを示す図

【図4】本発明の第2の実施の形態にかかる半導体不揮発性記憶装置の試験方法のフローチャートを示す図

【図5】半導体不揮発性記憶装置のデータ量の経時変化を示す図

【図6】従来例である半導体不揮発性記憶装置の概略構成図

【図7】従来例である2T2C型強誘電体メモリの等価回路図

【図8】強誘電体メモリの動作を表わす強誘電体キャパシタのヒステリシスカーブを示す図

【図9】2T2C型強誘電体メモリの動作を説明する主要信号波形を示す図

【図10】強誘電体メモリのデータ量減少時の動作を表す強誘電体キャパシタのヒステリシスカーブを示す図

【図11】従来例である半導体不揮発性記憶装置の試験方法のフローチャートを示す図

【符号の説明】

5 A-D変換回路

6 制御回路

7 D-A変換回路

101 強誘電体メモリ

102 増幅回路

103 入出力回路

104 書き込み回路

WL ワード線

BL, /BL データ線

M1, M2, Q1, Q2 MISトランジスタ

PL セルプレート線

SA センスアンプ

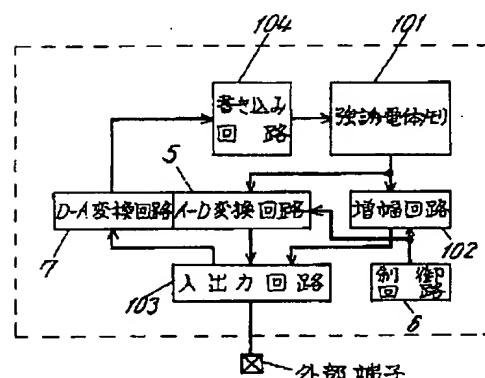
SAE センスアンプ活性化信号

ADE A-D変換回路活性化信号

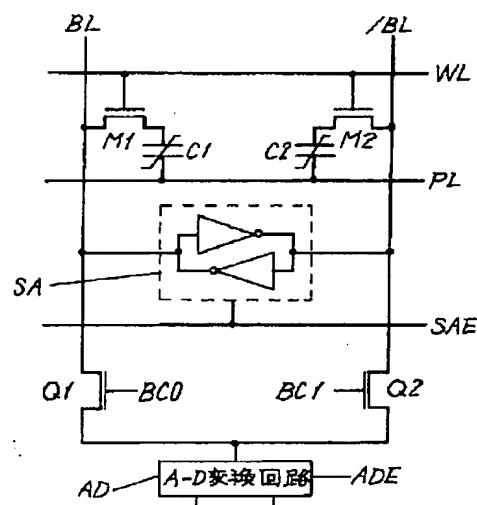
10 C1, C2 強誘電体キャパシタ

BC0, BC1 データ線選択信号

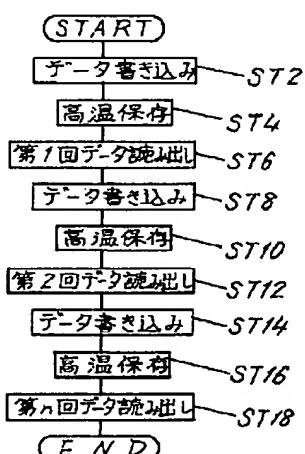
【図1】



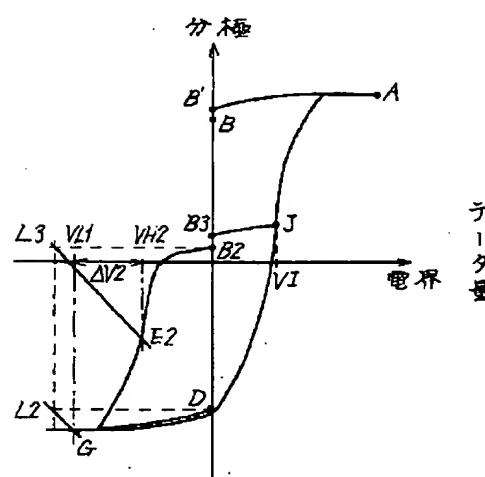
【図2】



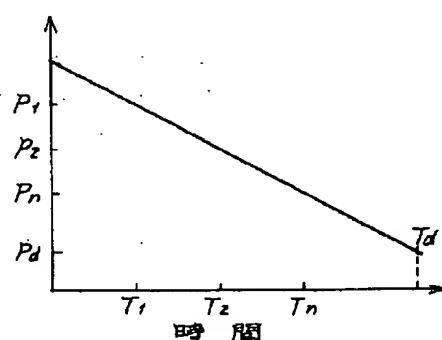
【図4】



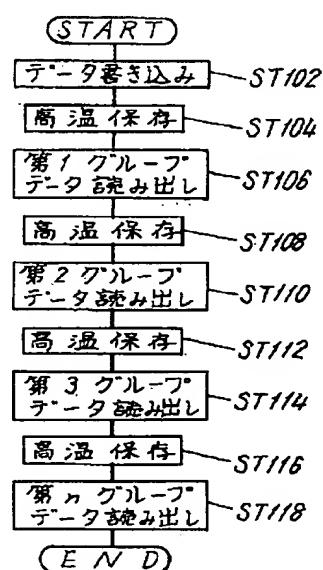
【図3】



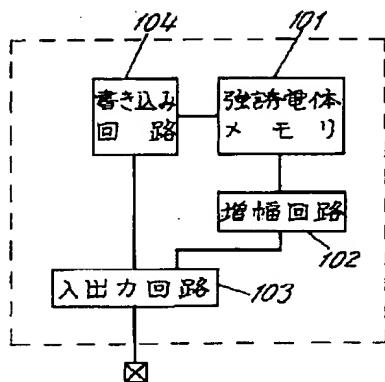
【図5】



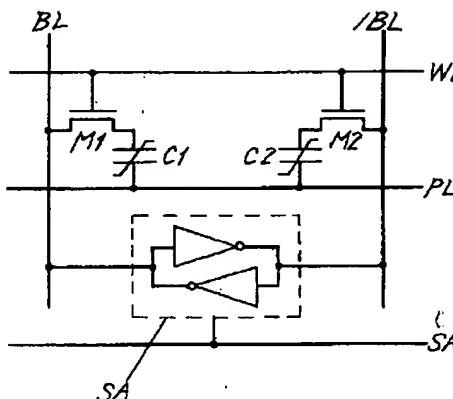
【図11】



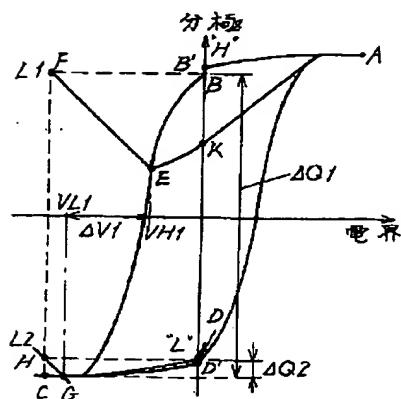
【図6】



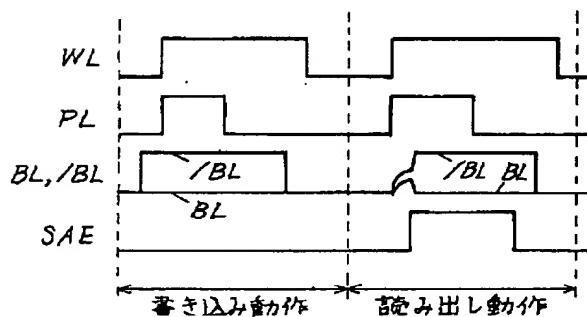
【図7】



【図8】



【図9】



【図10】

